

PRESSEINFORMATION

Avnet Memec kündigt verzögerungsfreie Buffer-Taktbaustein-Familie mit extrem geringem Phasenrauschen von Lattice an

Poing, 10. März 2009 – Avnet Memec, der hochspezialisierte Halbleiterdistributor von Avnet Electronics Marketing EMEA, kündigt die differentiellen Taktverteilungs-ICs der ispClock5400D-Familie von Lattice an, die die CleanClock-PLL mit extrem geringem Phasenrauschen enthält. Die ispClock5400D-Familie besteht aus dem ispClock5406D mit sechs Ausgängen und dem ispClock5410D mit zehn Ausgängen. Der Ausgangssection FlexiClock der ispClock5400D-Bausteine unterstützt mehrere Logikstandards und zweifache Skew-Steuerfunktionen. Die Konfiguration jedes Bausteins ist im nichtflüchtigen Speicher auf den Chip abgelegt, der über das JTAG-Interface wieder programmierbar ist. Bestimmte Eigenschaften des Bausteins können im laufenden Betrieb (on-the-fly) über die I²C-Schnittstelle modifiziert werden. Die kundenspezifische Anpassung der Bausteine wird von dem Softwarewerkzeug Lattice PAC-Designer unterstützt.

Die ispClock5400D-Familie ermöglicht es den Entwicklern sowohl die Kosten als auch die Komplexität ihrer differentiellen Taktnetze zu reduzieren und gleichzeitig die Flexibilität bei Designänderungen sehr spät im Entwicklungsprozess, selbst noch nach der Integration auf der Leiterplatte, zu erhalten. Typische Anwendungen, die von den ispClock5400D-Bausteinen profitieren sind das Anlegen von qualitativ hochwertigen Referenztakten für sehr schnelle serielle Kommunikations-ICs, die die SERDES-Technik verwenden und die Integration von Komponenten, wie Fan-out-Buffer und verzögerungsfreie Buffer, die üblicherweise zur Verteilung von Hochfrequenz-Takten auf einer Leiterplatte benutzt werden.

CleanClock-PLL

Die ispClock5400D-Bausteine enthalten die CleanClock-PLL mit extrem geringem Phasenrauschen, inklusive eines programmierbaren Analog-Filters auf dem Chip und einen programmierbaren VCO mit Eingangstaktfrequenzen bis zu 400 MHz. Das PAC-Designer-Softwarewerkzeug bestimmt automatisch die Parameter der PLL abhängig von den Eingangs- und Ausgangstaktfrequenzen. Diese breitbandige CleanClock-PLL ist kompatibel zu den Spreizspektrum-Takten, die zum Verteilen der Takte bei PCI Express und SATA nötig sind. Das Phasenrauschen der PLL ist nun auch ausreichend niedrig, um SERDES-Chips mit dem Takt zu versorgen.

FlexiClock-Ausgänge

Die ispClock54000-Familie besitzt im System programmierbare differenzielle FlexiClock-Ausgänge. Jeder Ausgang kann so konfiguriert werden, dass er sich für eine Vielzahl von Logik-Standards eignet wie LVDS, MLVDS, HCSL, LVPECL, HSTL und SSTL. Der Skew des Ausgangstakts kann individuell unter Einsatz der Phasenwinkel- und Time-Skew-Mechanismen justiert werden. Zusätzlich kann der Skew dynamisch im System über das I²C-Interface geändert werden.

Timing-Justierung nach der Baugruppenbestückung

Die Konfiguration jedes einzelnen Bausteins ist in einem nicht-flüchtigen Speicher auf dem Chip abgelegt, der über das JTAG-Interface wieder programmierbar ist. Bestimmte Eigenschaften (aspects) der Bausteine können im laufenden Betrieb (on-the-fly) über die I²C-Schnittstelle modifiziert werden. Die kundenspezifische Anpassung der Bausteine wird von dem Softwarewerkzeug Lattice PAC-Designer unterstützt.

Typische Applikationen für die ispClock5400D

SERDES-Referenztaktquelle

Der Bedarf für eine Referenztaktquelle für FPGAs und ASSPs mit SERDES (wie die neue LatticeECP3-FPGA-Familie, die ebenfalls heute vorgestellt wird) wurde traditionell von teuren Kristalloszillatoren mit differenziellen Ausgängen befriedigt. Die ispClock5400D-Bausteine ermöglichen dem Anwender einen preisgünstigeren, CMOS-Oszillator mit niedriger Frequenz als Taktquelle zu verwenden, wodurch die Gesamtkosten der Implementierung gesenkt werden, weil die Kosten eines Oszillators mit differenziellem Interface höher liegen als ein CMOS-Oszillator und die ispClock5406D-Bausteine zusammen.

Einfache und preiswerte differenzielle Taktverteilung

Die Anforderungen an die Taktverteilung werden von der Art der Logik-Schnittstelle, der Taktfrequenz, dem Jitter und der Anzahl der Ausgänge bestimmt. Diskrete handelsübliche Taktverteilungs-Buffer bieten geeignete Lösungen für jeden dieser Faktoren. Ein typisches System mit mehreren Karten erfordert jedoch viele verschiedene Typen von Taktverteilungs-Buffern von unterschiedlichen Herstellern, was zu einer teureren Stückliste führt und die Kosten der Lagerhaltung erhöht. Da die ispClock5400D-Bausteine als Fan-out-Buffer oder verzögerungsfreier Buffer mit einer Vielzahl an Ausgängen programmierbar sind, können sie unterschiedliche Anforderungen an die Taktverteilung befriedigen. Das resultierende Design ist nicht nur preisgünstiger, sondern erlaubt es den Entwicklern auch, Timing-Fehler, die von unterschiedlich langen Leitungen oder von anderen Bausteinen verursacht werden, zu kompensieren. Deshalb können Entwickler die ispClock5400D-Bausteine als Standard für alle ihre Entwicklungen verwenden.

Software-Unterstützung

Die ispClock-Bausteine können mit der intuitiven und anwenderfreundlichen grafischen Bedienoberfläche implementiert werden, die von dem Softwarewerkzeug PAC-Designer Version 5.0 geboten wird. Das PAC-Designer-5.0-Werkzeug kann kostenfrei von der Lattice-Webseite www.latticesemi.com/pac-designer herunter geladen werden.

Verfügbarkeit

Muster der ispClock5406D-Bausteine (48-Pin-QFNS-Gehäuse) und ispClock5410D (64-Pin-QFNS-Gehäuse) sind ab sofort erhältlich.

Lattice Semiconductor Corporation, Lattice (& design), L (& design), ispClock, PAC-Designer, CleanClock, FlexiClock, LatticeECP3, and specific product designations are either registered trademarks or trademarks of Lattice Semiconductor Corporation or its subsidiaries in the United States and/or other countries.

About Avnet Memec

Avnet Memec, an independent business unit of Avnet Electronics Marketing EMEA, is a highly specialised semiconductor distributor, operating on a pan-European basis and employing a significant number of engineers to support customers' design efforts. Avnet Memec specialises in highly innovative suppliers and technologies, which will help a variety of customers to differentiate their designs. Its area of specialisation extends from Analog and Microcontrollers to RF, Datacom and Networking. The company operates from 30 offices in 17 European countries and represents major semiconductor franchises on a pan-European basis. Its many major supplier partners include Cirrus Logic, Lattice, Marvell, NEC, and Silicon Laboratories. The company's Web site is located at www.avnet-memec.eu

Media Contact Avnet Memec

Tom Oelschlaeger – Communications Manager Avnet Memec
Telefon +49 (0) 8121 775 146
E-Mail: tom.oelschlaeger@avnet-memec.eu